

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : December 26, 2000

Application Number : Japanese Patent Application No. 2000-396005

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 26th day of January, 2001

Commissioner,
Patent Office Kozo OIKAWA

Certificate No. 2001-3000934

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Motoki HIGASHIDA) Group Art Unit: Unassigned
Application No.: Unassigned) Examiner: Unassigned
Filed: July 10, 2001)
For: METHOD FOR REDUCING LEAKAGE)
CURRENT OF LSI)
)
)
)
)



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2000-396005

Filed: December 26, 2000

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: July 10, 2001

By:

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1017 U.S. PRO
09/901083
07/10/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年12月26日

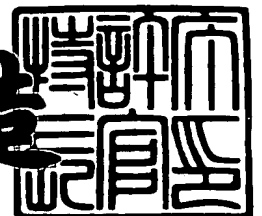
出 願 番 号
Application Number: 特願2000-396005

出 願 人
Applicant(s): 三菱電機株式会社

2001年 1月26日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3000934

【書類名】 特許願

【整理番号】 527977JP01

【提出日】 平成12年12月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/34

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 東田 基樹

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100066474

 【弁理士】

 【氏名又は名称】 田澤 博昭

【選任した代理人】

 【識別番号】 100088605

 【弁理士】

 【氏名又は名称】 加藤 公延

【手数料の表示】

 【予納台帳番号】 020640

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 L S I のリーク電流低減方法

【特許請求の範囲】

【請求項 1】 主電源から電力の供給を受けて動作する回路を搭載した主電源供給領域と、バックアップ電源から電力の供給を受けて動作する回路を搭載したバックアップ電源供給領域とを備えた L S I チップにてリーク電流を削減する L S I のリーク電流低減方法において、

前記主電源供給領域に搭載されている各回路の記憶素子を、スキャンパスによって接続し、

前記 L S I チップが待機状態へ移行する場合、前記スキャンパスによるスキャン動作を開始して、前記主電源供給領域に搭載されている各回路の記憶素子のそれぞれが保持している情報を読み込み、

前記スキャン動作によって読み込まれた情報を、前記バックアップ電源供給領域に搭載されている S R A M に保存することを特徴とする L S I のリーク電流低減方法。

【請求項 2】 バックアップ電源供給領域内に、通常動作に用いられる内蔵 S R A M とは別に、スキャン動作で読み込んだ情報の格納に用いられるスキャン情報格納 S R A M を搭載し、

L S I チップの待機状態への移行時にスキャンパスを利用して読み込んだ情報を、前記スキャン情報格納 S R A M に保存することを特徴とする請求項 1 記載の L S I のリーク電流低減方法。

【請求項 3】 主電源供給領域に搭載されている各回路の各記憶素子が保持している情報の読み込み用のスキャンパスを、L S I チップのテスト用に設けられているスキャンパスで兼用したことを特徴とする請求項 2 記載の L S I のリーク電流低減方法。

【請求項 4】 バックアップ電源供給領域内に搭載されている内蔵 S R A M の一部を、スキャン動作で読み込んだ情報を格納するためのスキャン情報格納部として使用し、

L S I チップの待機状態への移行時には、スキャンパスによるスキャン動作を

開始して、主電源供給領域に搭載されている各回路の記憶素子のそれぞれが保持している情報をシリアルに読み込み、読み込まれたシリアル情報をパラレル情報に変換して、それを前記内蔵 S R A M のスキャン情報格納部に、そのアドレスを指定して保存し、

前記 L S I チップの待機状態からの復帰時には、前記内蔵 S R A M のスキャン情報格納部に保存されている情報を、そのアドレスを指定してパラレルに読み出し、読み出されたパラレル情報をシリアル情報に変換して、前記主電源供給領域に搭載されている各回路の記憶素子のそれぞれに、前記スキャンパスを介して設定することを特徴とする請求項 1 記載の L S I のリーク電流低減方法。

【請求項 5】 L S I チップの動作待機状態においては、前記バックアップ電源供給領域に搭載された各回路のトランジスタの基板バイアス電圧を上昇させることを特徴とする請求項 1 記載の L S I のリーク電流低減方法。

【請求項 6】 バックアップ電源の電圧を、主電源の電圧よりも低く、バックアップ電源供給領域に搭載されている S R A M の内容を保持するのに十分な電圧に設定しておき、

バックアップ電源供給領域に対する電力の供給を、通常動作状態においては前記主電源から行い、動作待機状態においては前記バックアップ電源から行うことを特徴とする請求項 1 記載の L S I のリーク電流低減方法。

【請求項 7】 主電源から電力の供給を受けて動作する回路を搭載した主電源供給領域と、バックアップ電源から電力の供給を受けて動作する回路を搭載したバックアップ電源供給領域とを備えた L S I チップにてリーク電流を削減する L S I のリーク電流低減方法において、

当該 L S I チップの外部に、前記バックアップ電源より電力の供給を受けて動作する外部 S R A M を配置するとともに、前記主電源供給領域に搭載された各回路の記憶素子をスキャンパスによって接続し、

前記 L S I チップの待機状態への移行時には、前記スキャンパスによるスキャン動作を開始して、前記主電源供給領域に搭載されている各回路の記憶素子のそれぞれが保持している情報をシリアルに読み込み、読み込まれたシリアル情報をパラレル情報に変換して、それを前記外部 S R A M に、そのアドレスを指定して

保存し、

前記 L S I チップの待機状態からの復帰時には、前記外部 S R A M に保存されている情報を、そのアドレスを指定してパラレルに読み出し、読み出されたパラレル情報をシリアル情報に変換して、前記主電源供給領域に搭載されている各回路の記憶素子のそれぞれに、前記スキャンパスを介して設定することを特徴とする L S I のリーク電流低減方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、L S I チップにおける消費電力を削減するための L S I のリーク電流低減方法に関するものであり、特に、動作待機状態におけるリーク電流によって消費電力が増大するのを抑制する L S I のリーク電流の低減方法に関するものである。

【 0 0 0 2 】

【従来の技術】

携帯電話機をはじめとする携帯電子機器用の L S I では、消費電力の削減が重要な問題となる。このような L S I で電力が消費される要因には、トランジスタのスイッチング動作による電力消費、およびトランジスタのリーク電流による電力消費の 2 つに大別される。携帯電話機では待ち受け処理時には L S I のロジック部は信号も含めて停止しており、トランジスタのスイッチング動作はほとんど発生しない。従って、携帯電話機における待ち受け時の消費電力の削減には、トランジスタのリーク電流の削減が有効となる。

【 0 0 0 3 】

図 7 は従来の L S I を用いたシステムにおける、上記リーク電流の低減を説明するためのブロック図である。なお、ここでは、C P U 内蔵の L S I チップと外部 R O M とを用いたシステムの構成例を示している。図において、1 は L S I チップ、2 は外部 R O M、3 は主電源、4 は主電源電流遮断スイッチ、5 はバックアップ電源、6 は復帰トリガ回路である。また、L S I チップ 1 内において、11 は C P U、12 は C P U 周辺回路、13 はデータバス、14 はアドレスバス・

制御信号線であり、15は内蔵SRAM、16は内部電流遮断スイッチ、17は電源遮断コントローラである。18は主電源供給領域であり、19はバックアップ電源供給領域である。

【0004】

次に動作について説明する。

図示のシステムでは、主電源3とバックアップ電源5の2系統の電源が準備されており、電流リークの対策が必要なLSIチップ1には、それら主電源3とバックアップ電源5のそれぞれより電力の供給が行われている。また、LSIチップ1に外付けされた外部ROM2には、主電源3より電力の供給が行われ、動作待機状態からの復帰トリガを生成する復帰トリガ回路6にはバックアップ電源5より電力の供給が行われている。なお、主電源3からの電力供給は主電源電流遮断スイッチ4を介して行われ、システムが待機状態になると、主電源電流遮断スイッチ4をオフにしてLSIチップ1および外部ROM2への動作電力の供給を停止する。

【0005】

また、LSIチップ1はその内部が、主電源3から電力の供給を受ける主電源供給領域18と、バックアップ電源5から電力の供給を受けるバックアップ電源供給領域19とに二分されている。バックアップ電源供給領域19には動作待機時のスイッチ制御を行う電源遮断コントローラ17と、記憶内容の保持が必要な内蔵SRAM15が配置されており、主電源供給領域18にはそれ以外の、CPU11やCPU周辺回路12が配置されている。主電源供給領域18の各回路は主電源3より電力の供給を受けて、バックアップ電源供給領域19の各回路はバックアップ電源5より電力の供給を受けてそれぞれ動作する。

【0006】

ここで、LSIチップ1が動作待機状態になると、電源遮断コントローラ17を通じて主電源電流遮断スイッチ4がオフとなり、主電源供給領域18への動作電力の供給が遮断されるため、主電源供給領域18内の電圧レベルは不安定となる。一方、バックアップ電源供給領域19内の電圧は正常レベルである。これにより、主電源供給領域18とバックアップ電源供給領域19の間で予期しない電

流が流れるのを防止するため、主電源供給領域 1 8 とバックアップ電源供給領域 1 9 の配線を、電力供給遮断時に電氣的に切り離せるように、内部電流遮断スイッチ 1 6 を介して接続している。

【 0 0 0 7 】

L S I チップ 1 が待機状態になって、主電源供給領域 1 8 内の C P U 1 1 や C P U 周辺回路 1 2 への電力供給が遮断されると、それらの記憶素子に保持されている情報が失われてしまう。そのため、それら各記憶素子の情報を主電源 3 からの電力供給を遮断する前に、バックアップ電源供給領域 1 9 内の内蔵 S R A M 1 5 に待避させておく。なお、これら各記憶情報の内蔵 S R A M 1 5 への待避は、C P U 1 1 のスイッチング動作によって処理される。このように、主電源 3 からの電力供給が断たれると、電力が供給されている部分はバックアップ電源供給領域 1 9 のみとなる。従って、L S I チップ 1 全体に電力が供給されている場合に比べて、電力が供給されているトランジスタの数が減り、結果として、L S I チップ 1 全体としての電流リーク量を削減することができる。

【 0 0 0 8 】

なお、このような L S I のリーク電流低減方法に多少とも関連性のある技術が開示されている文献としては、例えば、小形の電池によって長時間確実にメモリの内容を保護することができる L S I チップに関する、特開平 6 - 5 2 6 8 6 号公報などがある。

【 0 0 0 9 】

【発明が解決しようとする課題】

従来の L S I のリーク電流低減方法は以上のように構成されているので、主電源 3 からの電力供給遮断時に、C P U 1 1 や C P U 周辺回路 1 2 の記憶素子の保持情報が失われるのを防止するため、主電源 3 の電力供給遮断前に、バックアップ電源供給領域 1 9 内に配置された S R A M 1 5 に必要な情報を待避させる必要があるが、C P U 1 1 のアドレスにメモリマップされていない情報は待避が困難であり、また、主電源 3 の電力供給遮断前の情報待避処理、および電力供給再開時の情報復帰処理のために、C P U 1 1 による複雑なスイッチング処理が必要になるなどの課題があった。

【 0 0 1 0 】

この発明は上記のような課題を解決するためになされたもので、CPUのアドレスにメモリマップされていない情報についても容易に待避させることができ、また、CPUによる特別なスイッチング処理を必要とせず、比較的簡単なスイッチング処理によって、情報待避および情報復帰の処理が可能なLSIのリーク電流低減方法を得ることを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

この発明に係るLSIのリーク電流低減方法は、主電源供給領域とバックアップ電源供給領域とを持ったLSIチップにスキャンバスを設けて、それで主電源供給領域上の各回路の記憶素子を接続し、動作待機状態になるとスキャンバスによるスキャン動作を開始して、主電源供給領域上の各回路の記憶素子内の情報を読み込み、それをバックアップ電源供給領域上のSRAMに保存するようにしたものである。

【 0 0 1 2 】

この発明に係るLSIのリーク電流低減方法は、内蔵SRAMとは別のスキャン情報格納SRAMをバックアップ電源供給領域内に設け、そのスキャン情報格納SRAMに、動作待機時にスキャンバスを利用して読み込んだ情報を保存するようにしたものである。

【 0 0 1 3 】

この発明に係るLSIのリーク電流低減方法は、スキャンバスを、LSIチップのテスト用のスキャンバスと共用するようにしたものである。

【 0 0 1 4 】

この発明に係るLSIのリーク電流低減方法は、通常動作に使用されている内蔵SRAMの一部をスキャン情報格納部として使用し、待機状態への移行時にはスキャンバスより読み込んだ主電源供給領域上の各回路の各記憶素子内の情報をシリアル・パラレル変換し、内蔵SRAMのスキャン情報格納部のアドレスを指定してそこに保存し、待機状態からの復帰時にはスキャン情報格納部のアドレスを内蔵SRAMに送り、そこから読み出した情報をパラレル・シリアル変換して

主電源供給領域上の各回路の各記憶素子に設定するようにしたものである。

【 0 0 1 5 】

この発明に係る L S I のリーク電流低減方法は、バックアップ電源供給領域上のトランジスタの基板バイアス電圧を、動作待機状態には上昇させるようにしたものである。

【 0 0 1 6 】

この発明に係る L S I のリーク電流低減方法は、バックアップ電源供給領域の電力を、動作時には主電源から供給し、動作待機時には主電源より低電圧のバックアップ電源より供給するようにしたものである。

【 0 0 1 7 】

この発明に係る L S I のリーク電流低減方法は、主電源供給領域とバックアップ電源供給領域とを持った L S I チップにスキャンバスを設けて、主電源供給領域上の各回路の記憶素子を接続するとともに、L S I チップの外部にバックアップ電源より電力が供給される外部 S R A M を接続し、待機状態への移行時にはスキャンバスより読み込んだ主電源供給領域上の各回路の記憶素子内の情報をシリアル・パラレル変換して、外部 S R A M にそのアドレスを指定して保存し、待機状態からの復帰時には外部 S R A M にアドレスを送り、そこから読み出した情報をパラレル・シリアル変換して主電源供給領域上の各回路の各記憶素子に設定するようにしたものである。

【 0 0 1 8 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1 .

図 1 はこの発明の実施の形態 1 による L S I のリーク電流低減方法が適用された L S I チップを示すブロック図である。なお、ここでも、従来の場合と同様に、C P U 内蔵の L S I チップと外部 R O M とを用いたシステムの構成例を示している。図において、1 は C P U 内蔵の L S I チップであり、2 はこの L S I チップ 1 に外付けされた外部 R O M である。3 は L S I チップ 1 にその動作用の電力を供給するための主電源であり、4 は動作待機時（待ち受け時）に主電源 3 から

L S I チップ 1 への動作電力の供給を遮断する主電源電流遮断スイッチである。
5 は待機中の L S I チップ 1 に必要な電力を供給するためのバックアップ電源であり、6 は L S I チップ 1 を動作待機状態から復帰させるための復帰トリガを発生させる復帰トリガ回路である。

【 0 0 1 9 】

L S I チップ 1 内において、1 1 はこの L S I チップ 1 に内蔵された C P U であり、1 2 は C P U 1 1 の制御動作時に使用される C P U 周辺回路である。1 3 は C P U 1 1 と、C P U 周辺回路 1 2 や外部 R O M 2 などとの間でやりとりされるデータが伝送されるデータバスであり、1 4 は C P U 1 1 が指定するアドレスや制御信号が伝送されるアドレスバス・制御信号線である。1 5 は L S I チップ 1 の通常動作時及び動作待機時において必要なデータを保持する S R A M としての内蔵 S R A M であり、1 6 はデータバス 1 3 またはアドレスバス・制御信号線 1 4 と、この内蔵 S R A M 1 5 および後述する電源遮断コントローラとの接続をオン・オフする内部電流遮断スイッチである。1 7 は復帰トリガ回路 6 からの信号に基づいて、待機時に主電源電流遮断スイッチ 4 をオフさせて、主電源 3 から L S I チップ 1 への電力の供給を遮断するとともに、上記内部電流遮断スイッチ 1 6 のオン・オフを制御する電源遮断コントローラである。

【 0 0 2 0 】

1 8 は主電源 3 から電力の供給を受けて動作する C P U 1 1、C P U 周辺回路 1 2 などが配置された主電源供給領域であり、1 9 は L S I チップ 1 の待機時にバックアップ電源 5 から電力の供給を受けて動作する内蔵 S R A M 1 5、内部電流遮断スイッチ 1 6、電源遮断コントローラ 1 7 等が配置されたバックアップ電源供給領域である。この L S I チップ 1 はこれら主電源供給領域 1 8 とバックアップ電源供給領域 1 9 とに二分されている。なお、これら各部は、図 7 に同一符号を付して示した従来のそれらに相当する部分である。

【 0 0 2 1 】

また、2 0 は C P U 1 1 あるいは C P U 周辺回路 1 2 などの主電源供給領域 1 8 に搭載された各回路内において、それらの現時点における情報を保持する記憶素子であり、ここでは F F (フリップフロップ) が用いられている。2 1 はこの

記憶素子 2 0 である F F をシフトレジスタ状にカスケード接続し、L S I チップ 1 が動作待機状態に移行した場合、および待機状態から動作状態に復帰した場合にスキャン動作を開始するスキャンパスである。2 2 はこのスキャンパス 2 1 のスキャン動作によって読み込まれた各記憶素子 2 0 の情報を保持する S R A M としてのスキャン情報格納 S R A M である。2 3 は電源遮断コントローラ 1 7 と信号の授受を行い、それに基づいてスキャンクロック、スキャンモード信号を発生するとともに、スキャン情報格納 S R A M 2 2 に S R A M 制御信号を送って、スキャンパス 2 1 のスキャン動作を制御するスキャン制御回路である。2 4 は電源遮断コントローラ 1 7 からの指示に従って、クロック停止信号を発生させるクロック停止回路である。

【 0 0 2 2 】

なお、上記スキャン制御回路 2 3 およびクロック停止回路 2 4 は主電源供給領域 1 8 上に、スキャン情報格納 S R A M 2 2 はバックアップ電源供給領域 1 9 上に、それぞれ新設される。

【 0 0 2 3 】

次に動作について説明する。

図 1 に示すシステムでは、その電源として、L S I チップ 1 に通常動作時における動作電力を供給する主電源 3 と、動作待機時における電力を供給するバックアップ電源 5 の 2 系統が準備されている。外部 R O M 2 はこの L S I チップ 1 に外付けされ、主電源 3 より電力の供給を受けている。また、動作待機状態からの復帰トリガを生成する復帰トリガ回路 6 にはバックアップ電源 5 より電力が供給されている。電流リークに対する対策が必要であるため、L S I チップ 1 には主電源 3 およびバックアップ電源 5 のそれぞれより電力の供給が行われている。ここで、主電源 3 からの電力供給は主電源電流遮断スイッチ 4 を介して行われており、システムが動作待機状態になると、電源遮断コントローラ 1 7 からの指示により、この主電源電流遮断スイッチ 4 をオフにして L S I チップ 1 および外部 R O M 2 への動作電力の供給を停止する。

【 0 0 2 4 】

また、L S I チップ 1 はその内部が、主電源 3 から電力の供給を受けて動作す

る主電力供給領域 1 8 と、バックアップ電源 5 から電力の供給を受けて動作するバックアップ電源供給領域 1 9 とに分けられている。なお、そのバックアップ電源供給領域 1 9 には主電源電流遮断スイッチ 4 および内部電流遮断スイッチ 1 6 を制御する電源遮断コントローラ 1 7 と、主電源 3 の電力供給遮断時でも記憶内容の保持が必要な内蔵 S R A M 1 5、およびスキャン情報格納 S R A M 2 2 が配置されている。一方、主電源供給領域 1 8 にはそれ以外の、C P U 1 1 や C P U 周辺回路 1 2、スキャン制御回路 2 3、クロック停止回路 2 4 が配置されている。この主電源供給領域 1 8 内の各回路は主電源 3 からの電力供給によって駆動され、バックアップ電源供給領域 1 9 内の各回路はバックアップ電源 5 からの電力供給によって駆動されている。

【 0 0 2 5 】

ここで、待ち受け等により L S I チップ 1 が動作待機状態に移行すると、C P U 1 1 は電源遮断コントローラ 1 7 を通じて主電源電流遮断スイッチ 4 の制御を行う。これによって主電源電流遮断スイッチ 4 をオフにし、主電源 3 からの電力の供給を遮断する。主電源 3 から主電源供給領域 1 8 への動作電力の供給が断たれると、主電源供給領域 1 8 内の電圧レベルは不安定となる。一方、バックアップ電源供給領域 1 9 内の電圧はバックアップ電源 5 からの電力供給が停止しないので正常レベルである。

【 0 0 2 6 】

このように、電圧レベルが主電源供給領域 1 8 では不安定となり、バックアップ電源供給領域 1 9 では正常となると、これら主電源供給領域 1 8 とバックアップ電源供給領域 1 9 との間で予期しない電流が流れることがある。そのため、主電源供給領域 1 8 内のデータバス 1 3、アドレスバス・制御信号線 1 4 などの配線と、バックアップ電源供給領域 1 9 内の配線を、内部電流遮断スイッチ 1 6 を介して接続している。主電源 3 からの電力供給遮断時において、C P U 1 1 は電源遮断コントローラ 1 7 を通じて主電源電流遮断スイッチ 4 をオフにする。これにより、主電源供給領域 1 8 とバックアップ電源供給領域 1 9 とが電氣的に切り離される。従って、主電源 3 からの電力供給遮断時に上記予期しない電流が流れることがなくなる。なお、この内部電流遮断スイッチ 1 6 には、バストランジス

タ等を用いることができる。

【 0 0 2 7 】

L S I チップ 1 が待ち受け等の待機すべき状態になると、C P U 1 1 は電源遮断コントローラ 1 7 に対して待機状態への移行を通知する。通知を受けた電源遮断コントローラ 1 7 は、クロック停止回路 2 4 に対してクロック供給の停止を指示し、さらにスキャン制御回路 2 3 に対してスキャン動作の開始を指示する。スキャン動作開始の指示を受け付けたスキャン制御回路 2 3 は、S R A M 制御信号をスキャン情報格納 S R A M 2 2 に送るとともに、スキャンモード信号をアサートし、スキャンクロックを発生する。スキャンモード信号がアサートされると、スキャンバス 2 1 はアクティブとなってスキャン動作を開始し、スキャンクロック 1 パルス毎にシフト動作を行う。なお、スキャン制御回路 2 3 からのスキャンモード信号のネゲート時には、各記憶素子 2 0 において通常の F F 動作が行われている。

【 0 0 2 8 】

このスキャンバス 2 1 によるスキャン動作によって、主電源供給領域 1 8 内の C P U 1 1 や C P U 周辺回路 1 2 の各記憶素子 2 0 に保持されている情報の読み込みが行われる。読み込まれた各記憶素子 2 0 の情報はスキャンバス 2 1 経由でスキャン情報格納 S R A M 2 2 に格納される。ここで、このスキャン情報格納 S R A M 2 2 への書き込みのためのアドレスや制御信号は、スキャン制御回路 2 3 より S R A M 制御信号としてスキャン情報格納 S R A M 2 2 に与えられる。このスキャンバス 2 1 を用いた全ての記憶素子 2 0 のスキャン動作が終了すると、スキャン制御回路 2 3 はその旨を電源遮断コントローラ 1 7 に通知する。通知を受けた電源遮断コントローラ 1 7 は主電源 3 の電力供給を停止する信号をアサートして主電源電流遮断スイッチ 4 をオフにし、主電源 3 から L S I チップ 1 および外部 R O M 2 への電力供給を遮断する。

【 0 0 2 9 】

このように、主電源供給領域 1 8 内の C P U 1 1 や C P U 周辺回路 1 2 の各記憶素子 2 0 に保持されていた情報を、バックアップ電源供給領域 1 9 上のスキャン情報格納 S R A M 2 2 に待避させた後、主電源 3 からの電力供給を遮断してい

るので、それらの記憶素子 2 0 に保持されていた情報が失われてしまうようなことはない。このようにして、主電源 3 からの電力の供給が遮断されれば、L S I チップ 1 内で電力が供給されている部分はバックアップ電源供給領域 1 9 のみとなる。従って、L S I チップ 1 全体に電力が供給されている場合に比べて、電力が供給されているトランジスタの数が少なくなり、結果として、L S I チップ 1 全体としての電流リーク量を削減することができる。

【 0 0 3 0 】

待機状態から復帰する場合には、外部に接続された復帰トリガ回路 6 より L S I チップ 1 に復帰トリガが入力される。L S I チップ 1 ではこの復帰トリガを電源遮断コントローラ 1 7 で受け取る。復帰トリガを受けた電源遮断コントローラ 1 7 は主電源 3 の電力供給を復帰させる信号をアサートして主電源電流遮断スイッチ 4 をオンにし、主電源 3 から L S I チップ 1 および外部 R O M 2 への電力供給を再開させる。再開された電力の供給が安定すると、主電源 3 からの電力供給遮断時にはオフ状態となっていた内部電流遮断スイッチ 1 6 をオン状態にする。内部電流遮断スイッチ 1 6 をオンさせることによって、L S I チップ 1 の主電源供給領域 1 8 とバックアップ電源供給領域 1 9 との配線が電氣的に接続される。電源遮断コントローラ 1 7 はスキャン制御回路 2 3 に対してスキャン動作の開始を指示する。スキャン動作開始の指示を受け付けたスキャン制御回路 2 3 は、S R A M 制御信号をスキャン情報格納 S R A M 2 2 に送るとともに、スキャンクロックを発生し、スキャンモード信号をアサートする。これによって、スキャンバス 2 1 によるスキャン動作が開始され、スキャン情報格納 S R A M 2 2 に待避されていた、主電源供給領域 1 8 内の C P U 1 1 や C P U 周辺回路 1 2 の各記憶素子 2 0 の、待機状態移行前の情報がスキャンバス 2 1 経由で、C P U 1 1 や C P U 周辺回路 1 2 の各記憶素子 2 0 に設定される。

【 0 0 3 1 】

その後、電源遮断コントローラ 1 7 はクロック停止回路 2 4 に対してクロック供給の開始を指示する。このクロック供給開始の指示を受けたクロック停止回路 2 4 はクロックを発生し、記憶素子 2 0 に待機状態移行前の情報が設定された C P U 1 1、C P U 周辺回路 1 2 などは、このクロックの供給を受けて待機前の状

態から動作を再開する。

【 0 0 3 2 】

以上のように、この実施の形態 1 によれば、L S I チップ 1 のバックアップ電源供給領域 1 9 上にスキャン情報格納 S R A M 2 2 を設け、スキャンパス 2 1 で主電源供給領域 1 8 上の C P U 1 1、C P U 周辺回路 1 2 などの各記憶素子 2 0 を接続して、待機状態への移行時にそのスキャンパス 2 1 を介して C P U 1 1 等の記憶素子 2 0 内の情報を読み込んで内蔵 S R A M 1 5 に保存し、待機からの復帰時にそのスキャン情報格納 S R A M 2 2 に保存した情報を、スキャンパス 2 1 を介して C P U 1 1 等の元の記憶素子 2 0 に設定しているので、C P U 1 1 にて特別なスイッチ処理を行うことなく、比較的簡単なスイッチング処理で情報の待避および復帰の処理が可能となつて、待機状態移行直後から動作を再開することができ、また、C P U 1 1 のアドレスにメモリマップされていない情報についても容易に待避させることができる L S I のリーク電流低減方法が実現できるという効果が得られる。

【 0 0 3 3 】

実施の形態 2.

なお、上記実施の形態 1 では、情報の待避および復帰時におけるリーク電流低減のためのスキャンパス 2 1 を別途設けたものについて説明したが、L S I チップ 1 には、その C P U 1 1 や C P U 周辺回路 1 2 のテストを容易にするために、テスト用のスキャンパスを既に搭載している場合があり、L S I チップ 1 の待機状態への移行時、および待機状態からの復帰時に、リーク電流を低減するためのスキャンパスとして、その既設のテスト用のスキャンパスを共用することも可能である。

【 0 0 3 4 】

図 2 はそのようなこの発明の実施の形態 2 による L S I のリーク電流低減方法が適用された L S I チップ 1 を示すブロック図であり、ここでは、L S I チップ 1 の内部構成についてのみ図示している。図において、1 は L S I チップ、1 1 は C P U、1 2 は C P U 周辺回路、1 3 はデータバス、1 4 はアドレスバス・制御信号線、1 5 は内蔵 S R A M、1 6 内部電流遮断スイッチ、1 7 は電源遮断コ

ントローラ、18は主電源供給領域、19はバックアップ電源供給領域、20は記憶素子、22はスキャン情報格納SRAM、23はスキャン制御回路、24はクロック停止回路である。なお、これら各部は、図1に同一符号を付して示した実施の形態1におけるそれらに対応する部分であるため、その詳細な説明は省略する。

【0035】

また、25はCPU11やCPU周辺回路12等の各記憶素子20としてのFFをシフトレジスタ状にカスケード接続し、LSIチップ1が待機状態への移行時、および待機状態からの復帰時における、リーク電流低減のためのスキャンパスであるが、LSIチップ1のテストのために既に用意されているテスト用のスキャンパスで兼用されている点で、図1に符号21を付して示した実施の形態1のスキャンパスとは異なっている。26a～26cはスキャンパス25をリーク電流低減のためと、LSIチップ1をテストする時とで共用する際の、各信号の切り替えを行うセクタであり、セクタ26aはスキャン制御回路23からのスキャンモード信号とスキャンテスト用のスキャンモード信号の切り替えを、セクタ26bはスキャン制御回路23からのスキャンクロックとスキャンテスト用のクロックの切り替えを、セクタ26cはスキャン情報格納SRAM22からのスキャン入力信号とスキャンテスト用のスキャン入力信号の切り替えをそれぞれ行っている。

【0036】

次に動作について説明する。

このような、リーク電流低減時とLSIテスト時とで共用されるスキャンパス25を用いたLSIチップ1のテストでは、LSIチップ1の外部よりスキャンテスト用のテストモード信号、クロックパルス、およびスキャン入力信号を入力し、選択信号によってセクタ26a～26cの選択を切り替える。これによって、セクタ26aからはスキャンテスト用のテストモード信号が、セクタ26bからはスキャンテスト用のスキャンクロックが出力され、スキャンパス25にはセクタ26cで選択されたスキャンテスト用のスキャン入力信号が入力される。このようにしてCPU11、CPU周辺回路12などの記憶素子20がス

キャンされ、テスト用のスキャン出力信号がスキャンパス 2 5 より外部に出力されてチェックされる。このスキャンパス 2 5 を用いた L S I チップ 1 のテストは、L S I チップ 1 内の C P U 1 1、C P U 周辺回路 1 2 などの記憶素子 2 0 の値の設定、観測が容易に行えるため、多くの L S I チップで採用されている。

【 0 0 3 7 】

一方、スキャンパス 2 5 を L S I チップ 1 のリーク電流低減のためのスキャンに使用した場合、選択信号によってセレクタ 2 6 a ~ 2 6 c を切り替えて、セレクタ 2 6 a によりスキャン制御回路 2 3 からのテストモード信号を、セレクタ 2 6 b によりスキャン制御回路 2 3 からのスキャンクロックを選択する。また、セレクタ 2 6 c ではスキャン情報格納 S R A M 2 2 からのスキャン入力信号を選択してスキャンパス 2 5 に入力する。以下、このスキャンパス 2 5 を用いたスキャン動作を実行することにより、実施の形態 1 の場合と同様に、L S I チップ 1 の待機状態への移行に際して、C P U 1 1、C P U 周辺回路 1 2 等の各記憶素子 2 0 の情報がスキャン情報格納 S R A M 2 2 に待避され、待機状態から動作状態に復帰するに際して、スキャン情報格納 S R A M 2 2 に待避されていた情報が、C P U 1 1、C P U 周辺回路 1 2 等の各記憶素子 2 0 に設定される。

【 0 0 3 8 】

以上のように、この実施の形態 2 においては、スキャンパス 2 5 を L S I チップ 1 のテスト時と、情報の待避／復帰の際のリーク電流低減時とで共用しているので、C P U 1 1 や C P U 周辺回路 1 2 などに、待機状態への移行時および待機状態からの復帰時におけるリーク電流低減のためのスキャンパスを別途設ける必要がなくなり、L S I チップ 1 上の回路面積の増大を回避することが可能になるという効果が得られる。

【 0 0 3 9 】

実施の形態 3.

また、上記実施の形態 1 では、スキャンパス 2 1 のスキャン動作にて読み込んだ情報を、別途用意したスキャン情報格納 S R A M 2 2 に格納する場合について説明したが、通常動作に使用されている内蔵 S R A M の一部を、スキャン動作で読み込んだ情報を格納するスキャン情報格納部として使用するようにしてもよい

。図 3 はそのようなこの発明の実施の形態 3 による L S I のリーク電流低減方法が適用される L S I チップ 1 の要部を示すブロック図であり、相当部分には図 1 と同一符号を付してその説明を省略する。なお、ここでは、C P U 1 1 のデータバス 1 3 が 3 2 ビットである場合について例示している。

【 0 0 4 0 】

図において、2 7 は通常動作に使用されている内蔵 S R A M (S R A M) であるが、スキャンバス 2 1 によるスキャン動作によって読み込まれた情報を格納するスキャン情報格納部 2 7 a としてその一部が利用されている点で、図 1 に符号 2 2 を付して示した実施の形態 1 の内蔵 S R A M とは異なっている。2 8 はスキャンバス 2 1 のスキャン動作で読み込まれた情報を、シリアル情報から 3 2 ビットのパラレル情報に変換してデータバス 1 3 に出力し、また内蔵 S R A M 2 7 のスキャン情報格納部 2 7 a からデータバス 1 3 に読み出された 3 2 ビットのパラレル情報を、シリアル情報に変換してスキャンバスに送り出すシリアル・パラレル変換回路である。2 9 はスキャン制御回路 2 3 から出力された S R A M 制御信号中のアドレスおよび制御信号、あるいは C P U 1 1 よりアドレスバス・制御信号線 1 4 に出力されたアドレスおよび制御信号の一方を選択して内蔵 S R A M 2 7 に入力するセレクタである。

【 0 0 4 1 】

次に動作について説明する。

セレクタ 2 9 は電源遮断コントローラ 1 7 からの信号によって、通常動作時にはアドレスバス・制御信号線 1 4 側が活性化され、C P U 1 1 からのアドレスおよび制御信号が内蔵 S R A M 2 7 に送られる。これにより、内蔵 S R A M 2 7 の通常動作時のデータがデータバス 1 3 より内部電流遮断スイッチ 1 6 を介してその領域に書き込まれる。

【 0 0 4 2 】

一方、待機状態への移行時、あるいは待機状態からの復帰時においては、電源遮断コントローラ 1 7 からの信号によって、セレクタ 2 9 はスキャン制御回路 2 3 側が活性化され、スキャン制御回路 2 3 の出力する S R A M 制御信号によるアドレスおよび制御信号が内蔵 S R A M 2 7 に送られる。これにより、内蔵 S R A

M 2 7 のスキャン情報格納部 2 7 a として利用される領域のアドレスが指定され、この待機／復旧動作時における情報の、スキャン情報格納部 2 7 a への書き込み／読み出しが行われる。ここで、C P U 1 1 の通常動作に必要な内蔵 S R A M 2 7 では多ビットのデータバス接続となる（図示の例では 3 2 ビット）。一方、スキャンバス 2 1 においては C P U 1 1 等の各記憶素子 2 0 の情報が 1 ビット単位で入出力される。シリアル・パラレル変換回路 2 8 ではこのビット幅の差を吸収している。

【 0 0 4 3 】

以下に、そのシリアル・パラレル変換回路 2 8 とスキャン制御回路 2 3 の動作について詳細に説明する。

待機状態への移行時において、シリアル・パラレル変換回路 2 8 はまず、C P U 1 1 等の各記憶素子 2 0 の情報を 3 2 個、スキャンバス 2 1 から入力する。次いで、このスキャンバス 2 1 より入力されたシリアル情報を 3 2 ビットのパラレル情報に変換してデータバス 1 3 に出力する。スキャン制御回路 2 3 はこのシリアル・パラレル変換回路 2 8 の、データバス 1 3 への 3 2 ビットのパラレル情報の出力動作に合わせて S R A M 制御信号を出力する。この S R A M 制御信号は電源遮断コントローラ 1 7 からの信号で制御されるセクタ 2 9 を介して内部 S R A M 2 7 に送られる。なお、この S R A M 制御信号は、内蔵 S R A M 2 7 のスキャン情報格納部 2 7 a の適切な領域にスキャン情報が格納されるような、アドレスと制御信号とで構成されている。これにより、データバス 1 3 に出力された上記 3 2 ビットのパラレル情報は内部電流遮断スイッチ 1 6 を介して、内部 S R A M 2 7 のアドレスが指定されたスキャン情報格納部 2 7 a に格納される。以上の処理を、C P U 1 1 の各記憶素子 2 0 の情報のスキャンが全て終了するまで繰り返す。

【 0 0 4 4 】

また、待機状態からの復帰時においては、スキャン制御回路 2 3 からの S R A M 制御信号によってアドレス指定された、内蔵 S R A M 2 7 のスキャン情報格納部 2 7 a より、3 2 ビットのパラレル情報がデータバス 1 3 を介してシリアル・パラレル変換回路 2 8 に読み込まれる。なお、この S R A M 制御信号は、内蔵 S

R A M 2 7 の ス キ ャ ン 情 報 格 納 部 2 7 a の 適 切 な 領 域 に 格 納 さ れ た ス キ ャ ン 情 報 が 出 力 さ れ る よ う な 、 ア ド レ ス と 制 御 信 号 と で 構 成 さ れ て い る 。 シ リ ア ル ・ パ ラ レ ル 変 換 回 路 2 8 は 読 み 込 ん だ 3 2 ビ ッ ト の パ ラ レ ル 情 報 を シ リ ア ル 情 報 に 変 換 し 、 そ れ を 順 次 ス キ ャ ン パ ス 2 1 に 送 出 す る 。 こ の よ う に し て ス キ ャ ン パ ス 2 1 に 出 力 さ れ た 情 報 は 、 主 電 源 供 給 領 域 1 8 内 の C P U 1 1 や C P U 周 辺 回 路 1 2 の 各 記 憶 素 子 2 0 に 設 定 さ れ る 。 以 上 の 処 理 を 、 C P U 1 1 の 各 記 憶 素 子 2 0 の 全 て に 待 機 状 態 移 行 前 の 情 報 が 設 定 さ れ る ま で 繰 り 返 す 。

【 0 0 4 5 】

こ こ で 、 一 般 に S R A M は C P U 処 理 の 中 間 結 果 の 保 持 用 に 用 い ら れ る こ と が 多 い 。 従 っ て 、 動 作 待 機 時 に 保 存 が 必 要 な 情 報 は S R A M の 全 体 容 量 の 一 部 で あ る こ と が 普 通 で あ る 。 こ の 場 合 、 S R A M の 動 作 待 機 時 に デ ー タ 保 持 の 不 要 な 領 域 を 、 ス キ ャ ン 情 報 格 納 部 と し て 使 用 す る こ と が で き る 。 も し 、 全 て の 情 報 を 保 存 す る 必 要 が あ れ ば 、 S R A M の メ モ リ 容 量 を ス キ ャ ン 情 報 格 納 に 必 要 な 分 量 だ け 増 加 さ せ 、 そ の 部 分 を ス キ ャ ン 情 報 格 納 部 と す る 。 S R A M で は ア ド レ ス デ コ ー ダ の 面 積 が 全 面 積 中 に 占 め る 割 合 は 可 成 り 大 き な も の で あ る 。 従 っ て 、 た と え メ モ リ 容 量 を 増 加 さ せ て も 、 独 立 に 2 つ の S R A M (内 蔵 S R A M と ス キ ャ ン 情 報 格 納 S R A M) を 用 意 す る こ と に 比 べ れ ば 、 チ ッ プ 面 積 を 小 さ く す る こ と が で き る 。

【 0 0 4 6 】

以 上 の よ う に 、 こ の 実 施 の 形 態 3 に よ れ ば 、 バ ッ ク ア ッ プ 電 源 供 給 領 域 1 9 上 に 配 置 さ れ た 内 蔵 S R A M 2 7 の 一 部 の 領 域 を 、 ス キ ャ ン 情 報 格 納 部 と し て 使 用 し て い る の で 、 バ ッ ク ア ッ プ 電 源 供 給 領 域 1 9 内 に ス キ ャ ン 情 報 格 納 用 の S R A M を 設 け る 必 要 が な く な り 、 チ ッ プ 面 積 を 増 大 さ せ る こ と な く 、 リ ー ク 電 流 の 低 減 を 実 現 で き る と い う 効 果 が 得 ら れ る 。

【 0 0 4 7 】

実 施 の 形 態 4 .

ま た 、 上 記 実 施 の 形 態 1 に 示 す L S I の リ ー ク 電 流 低 減 方 法 は 、 他 の L S I の リ ー ク 電 流 低 減 方 法 、 例 え ば バ ッ ク ア ッ プ 電 源 供 給 領 域 1 9 内 の 各 ト ラ ン ジ ス タ の 基 板 バ イ ア ス 電 圧 を 、 動 作 待 機 時 に 上 昇 さ せ る L S I の リ ー ク 電 流 低 減 方 法 と

組み合わせることも可能である。図4はそのようなこの発明の実施の形態4によるLSIのリーク電流低減方法が適用されたLSIチップの要部を示すブロック図であり、相当部分には図1と同一符号を付してその説明を省略する。

【0048】

図において、30はバックアップ電源供給領域19上に搭載され、バックアップ電源供給領域19内の各トランジスタの基板バイアス電圧を制御するトランジスタ基板バイアス回路であり、内部電流遮断スイッチ16と同じ電源遮断コントローラ17からの制御信号によって制御されている。なお、動作待機時に個々のMOSトランジスタのリーク電流を低減するために、トランジスタの基板バイアス電圧を制御する手法は、例えば特開平5-108194号公報「低消費電力型半導体集積回路」などに照会されている周知のものであるため、ここではその詳細な説明は省略する。

【0049】

次に動作について説明する。

バックアップ電源供給領域19内の全てのMOSトランジスタは、トランジスタ基板バイアス回路30の制御によってその基板バイアス電圧が変更される。すなわち、LSIチップ1が待機状態に移行すると、電源遮断コントローラ17は内部電流遮断スイッチ16をオフにするための制御信号を発生し、その制御信号をバックアップ電源供給領域19上に搭載されたトランジスタ基板バイアス回路30にも出力する。トランジスタ基板バイアス回路30はこの制御信号によってトリガされ、バックアップ電源供給領域19内の全てのMOSトランジスタの基板バイアス電圧を上昇させる。これによって、それらMOSトランジスタの動作閾値が高くなり、LSIチップ1の動作待機時におけるリーク電流を低減することができる。

【0050】

一方、LSIチップ1の通常動作時には、電源遮断コントローラ17からの制御信号によってトランジスタ基板バイアス回路30が制御され、バックアップ電源供給領域19内の全てのMOSトランジスタの基板バイアス電圧を低下させる。これによって、MOSトランジスタの動作閾値が低くなり、LSIチップ1の

リーク電流は大きくなるが、MOSトランジスタの動作速度は高速になる。

【 0 0 5 1 】

以上のように、この実施の形態4によれば、バックアップ電源供給領域19の各トランジスタの基板バイアス電圧を待機時に上昇させているので、リーク電流をさらに低減できるという効果が得られる。

【 0 0 5 2 】

実施の形態5.

また、上記実施の形態1では、バックアップ電源供給領域19の電力を、主電源3と同電圧のバックアップ電源供給領域19から供給する場合について説明したが、通常動作時には主電源3から、動作待機時には主電源3より低電圧のバックアップ電源5より電力を供給するようにしてもよい。図5はそのようなこの発明の実施の形態5によるLSIのリーク電流低減方法が適用されたLSIチップの要部を示すブロック図であり、相当部分には図1と同一符号を付してその説明を省略する。

【 0 0 5 3 】

図において、7はLSIチップ1の動作待機時において、バックアップ電源供給領域19に電力を供給するバックアップ電源であるが、その電圧がバックアップ電源供給領域19に搭載されている内蔵SRAM15の内容を保持するのに十分な、主電源3の電圧よりも低い電圧に設定されている点で、図1に符号5を示した実施の形態1のそれとは異なっている。また、31はバックアップ電源供給領域19内の各回路に対して、通常動作時には主電源3からの電力を供給し、動作待機時には主電源3より低電圧のバックアップ電源7より電力を供給するための電源切替スイッチであり、内部電流遮断スイッチ16と同じ電源遮断コントローラ17からの制御信号によって制御されている。

【 0 0 5 4 】

次に動作について説明する。

通常動作時には、電源遮断コントローラ17からの内部電流遮断スイッチ16と同一の制御信号によって電源切替スイッチ31が制御され、バックアップ電源供給領域19には主電源3より電力の供給が行われる。従って、通常動作

時には、バックアップ電源供給領域 19 内の各回路のトランジスタは主電源 3 から供給される高電圧で動作する。一方、動作待機時には、電源遮断コントローラ 17 からの上記制御信号によって電源切替スイッチ 31 が制御され、バックアップ電源供給領域 19 にはバックアップ電源 7 より電力の供給が行われる。ここで、このバックアップ電源 7 の電圧は、バックアップ電源供給領域 19 内の FF や SRAM が状態を保持するために必要な最低限の電圧に設定されている。従って、動作待機時には、バックアップ電源供給領域 19 内の各回路のトランジスタはバックアップ電源 7 から供給される低電圧で動作し、その FF や SRAM の内容を保持する。

【 0 0 5 5 】

以上のように、この実施の形態 5 によれば、バックアップ電源供給領域 19 への電力供給を、待機時にはバックアップ電源 7 から、主電源 3 よりも低電圧で行っているため、リーク電流のさらなる低減が可能となり、また、通常動作時におけるバックアップ電源供給領域 19 への電力の供給を主電源 3 より行っているため、バックアップ電源 7 の消耗率を低減できるなどの効果が得られる。

【 0 0 5 6 】

実施の形態 6.

なお、実施の形態 3 では、LSI チップ 1 の内部に通常動作に使用される内蔵 SRAM 27 を設け、その一部をスキャン動作で読み込んだ情報を格納するスキャン情報格納部 27a として共用した場合について説明したが、LSI チップ 1 内には SRAM を設けず、LSI チップ 1 の外部にその一部をスキャン情報格納部として使用した外部 SRAM を設けるようにしてもよい。図 6 はそのようなこの発明の実施の形態 6 による LSI のリーク電流低減方法が適用された LSI チップの構成を示すブロック図であり、相当部分には図 3 と同一符号を付してその説明を省略する。

【 0 0 5 7 】

図において、8 はデータバス 13 およびアドレスバス・制御信号線 14 を介して当該 LSI チップ 1 の外部に接続され、バックアップ電源 5 より電力の供給を受けている外部 SRAM であり、その一部はスキャンパス 21 によるスキャン動

作によって読み込まれた情報を格納するスキャン情報格納部 8 a として使用されている。3 2 はスキャン制御回路 2 3 から出力された S R A M 制御信号のアドレスおよび制御信号、あるいは C P U 1 1 よりアドレスバス・制御信号線 1 4 に出力されたアドレスおよび制御信号の一方を選択して外部 S R A M 8 に入力するセクタである。

【 0 0 5 8 】

次に動作について説明する。

この実施の形態 6 では、S R A M として外部 S R A M 8 が L S I チップ 1 の外部に配置されているので、スキャン制御回路 2 3 からの S R A M 制御信号、あるいは C P U 1 1 からのアドレス・制御信号のいずれか一方がセクタ 3 2 で選択され、L S I チップ 1 外の外部 R O M 2 および外部 S R A M 8 に出力される。すなわち、待機状態への移行時および待機状態からの復帰時には、セクタ 3 2 は電源遮断コントローラ 1 7 からの信号に応動して、スキャン制御回路 2 3 からの S R A M 制御信号によるアドレスと制御信号を選択し、外部 S R A M 8 に出力する。また、通常動作時には、電源遮断コントローラ 1 7 からの信号に応動するセクタ 3 2 によって、C P U 1 1 からのアドレスおよび制御信号が選択され、外部 R O M 2 および外部 S R A M 8 に出力される。なお、その他の動作は実施の形態 3 の場合と同様である。

【 0 0 5 9 】

以上のように、この実施の形態 6 によれば、L S I チップ 1 の外部に接続した外部 S R A M 8 の一部をスキャン情報格納部 8 a として使用し、スキャン動作で読み込まれた情報を格納しているので、スキャン情報格納用の S R A M を L S I チップ 1 内に追加することなく、リーク電流の低減が実現できるという効果が得られる。

【 0 0 6 0 】

【発明の効果】

以上のように、この発明によれば、L S I チップに設けたスキャンパスで主電源供給領域上の各回路の記憶素子を接続し、動作待機状態になるとスキャンパスによるスキャン動作にて読み込んだ、主電源供給領域上の各回路の記憶素子内の

情報を、バックアップ電源供給領域上のSRAMに保存するように構成したので、CPUのアドレスにメモリマップされていない情報の待避が容易で、CPUによる特別なスイッチング処理を必要とせずに、比較的簡単なスイッチング処理によって情報待避および情報復帰ができ、待機状態移行直後から動作を再開することが可能なLSIのリーク電流低減方法が得られるという効果がある。

【0061】

この発明によれば、内蔵SRAMとは別のスキャン情報格納SRAMをバックアップ電源供給領域内に設け、動作待機時にスキャンパスを利用して読み込んだ情報を、そのスキャン情報格納SRAMに保存するように構成したので、CPUのアドレスにメモリマップされていない情報を容易に待避でき、比較的簡単なスイッチング処理によって情報待避および情報復帰が可能となって、動作を待機状態移行直後から再開することができるという効果がある。

【0062】

この発明によれば、スキャンパスをLSIチップのテスト用のスキャンパスと共用するように構成したので、待機状態への移行時および待機状態からの復帰時におけるリーク電流低減のためのスキャンパスを別途設ける必要がなくなり、回路面積の増大を回避することができるという効果がある。

【0063】

この発明によれば、待機状態への移行時には、スキャンパスより読み込んだ主電源供給領域上の各回路の各記憶素子内の情報をシリアル・パラレル変換し、内蔵SRAMの一部を使用しているスキャン情報格納部のアドレスを指定してそこに保存し、待機状態からの復帰時には、スキャン情報格納部のアドレスを内蔵SRAMに送り、そこから読み出した情報をパラレル・シリアル変換して各記憶素子に設定するように構成したので、バックアップ電源供給領域内にスキャン情報格納用のSRAMを設ける必要がなくなり、チップ面積を増大させずにリーク電流の低減を実現できるという効果がある。

【0064】

この発明によれば、動作待機時に、バックアップ電源供給領域上のトランジスタの基板バイアス電圧を上昇させるように構成したので、トランジスタの閾値が

高くなり、リーク電流をさらに低減できるという効果がある。

【 0 0 6 5 】

この発明によれば、動作時には主電源から、動作待機時には主電源より低電圧のバックアップ電源から、バックアップ電源供給領域への電力を供給するように構成したので、待機状態における動作電圧が低くなってリーク電流のさらなる低減が可能となり、また、通常動作時にはバックアップ電源供給領域が主電源より電力の供給を受けているので、バックアップ電源の消耗率を低減できるなどの効果がある。

【 0 0 6 6 】

この発明によれば、待機状態への移行時には、スキャンパスより読み込んだ主電源供給領域上の各回路の各記憶素子内の情報をシリアル・パラレル変換し、バックアップ電源より電力が供給される外部 S R A M にそのアドレスを指定して保存し、待機状態からの復帰時には、外部 S R A M のアドレスを指定して、そこから読み出した情報をパラレル・シリアル変換し、各記憶素子に設定するように構成したので、スキャン情報格納用の S R A M を L S I チップ 1 内のバックアップ電源供給領域内に設ける必要がなくなり、チップ面積を増大させずにリーク電流の低減を実現できるという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による L S I のリーク電流低減方法を適用した L S I チップを示すブロック図である。

【図 2】 この発明の実施の形態 2 による L S I のリーク電流低減方法を適用した L S I チップを示すブロック図である。

【図 3】 この発明の実施の形態 3 による L S I のリーク電流低減方法を適用した L S I チップの要部を示すブロック図である。

【図 4】 この発明の実施の形態 4 による L S I のリーク電流低減方法を適用した L S I チップの要部を示すブロック図である。

【図 5】 この発明の実施の形態 5 による L S I のリーク電流低減方法を適用した L S I チップの要部を示すブロック図である。

【図 6】 この発明の実施の形態 6 による L S I のリーク電流低減方法を適

用したLSIチップを示すブロック図である。

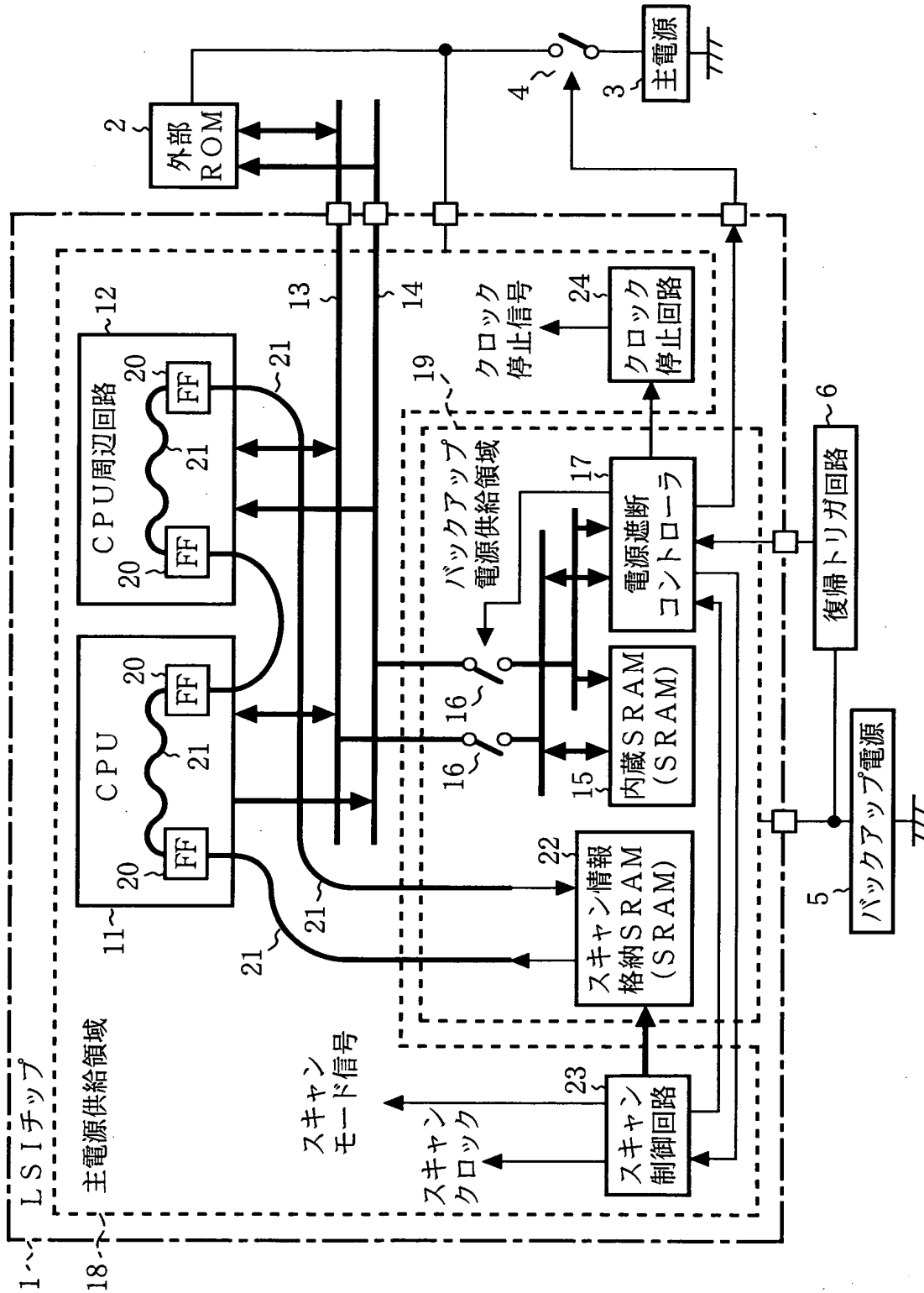
【図7】 従来のLSIのリーク電流低減方法を適用したLSIチップを示すブロック図である。

【符号の説明】

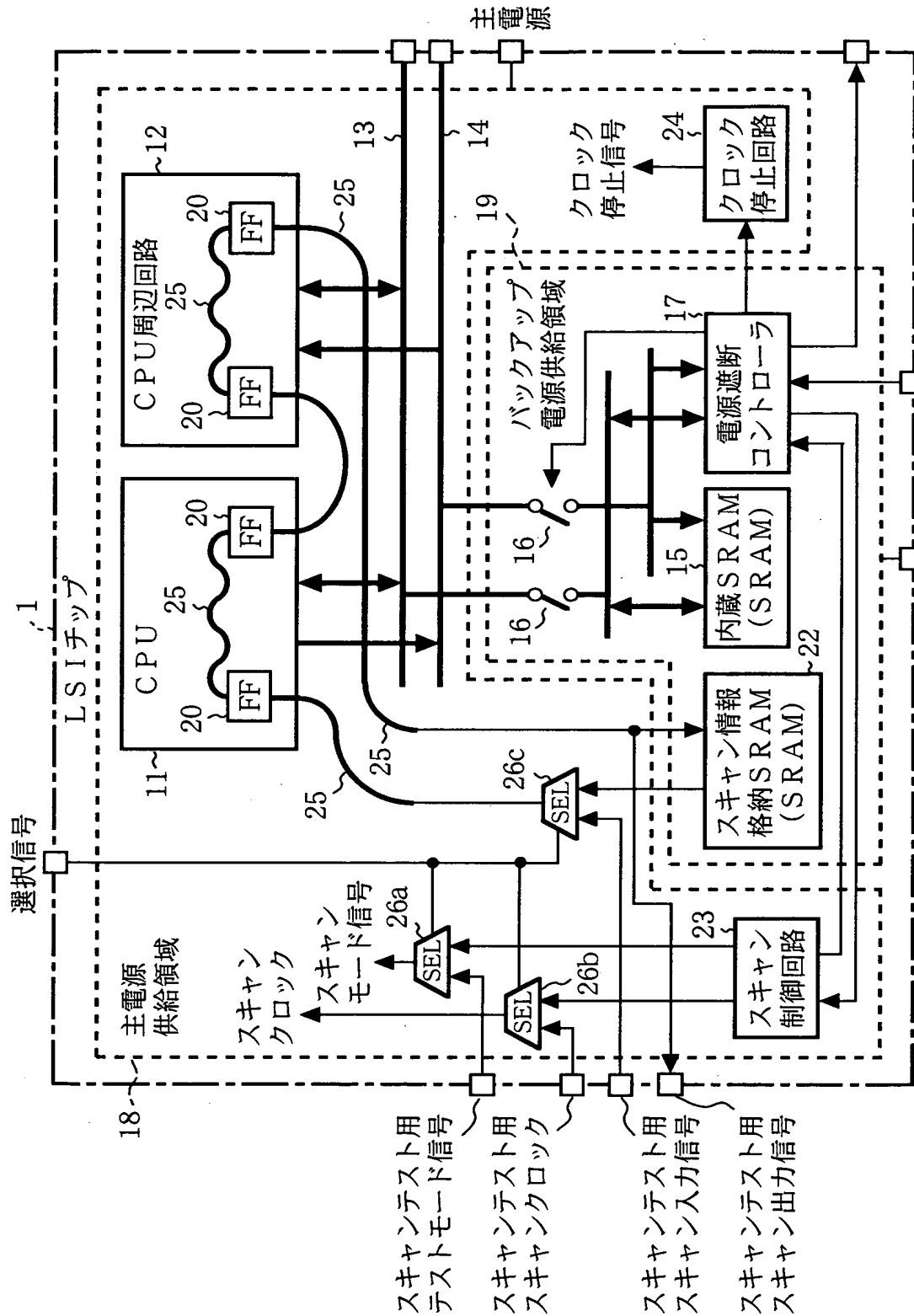
1 LSIチップ、2 外部ROM、3 主電源、4 主電源電流遮断スイッチ、5 バックアップ電源、6 復帰トリガ回路、7 バックアップ電源、8 外部SRAM、8a スキャン情報格納部、11 CPU、12 CPU周辺回路、13 データバス、14 アドレスバス・制御信号線、15 内蔵SRAM (SRAM)、16 内部電流遮断スイッチ、17 電源遮断コントローラ、18 主電源供給領域、19 バックアップ電源供給領域、20 記憶素子、21 スキャンパス、22 スキャン情報格納SRAM (SRAM)、23 スキャン制御回路、24 クロック停止回路、25 スキャンパス、26a~26c セレクタ、27 内蔵SRAM (SRAM)、27a スキャン情報格納部、28 シリアル・パラレル変換回路、29 セレクタ、30 トランジスタ基板バイアス回路、31 電源切替スイッチ、32 セレクタ。

【書類名】 図面

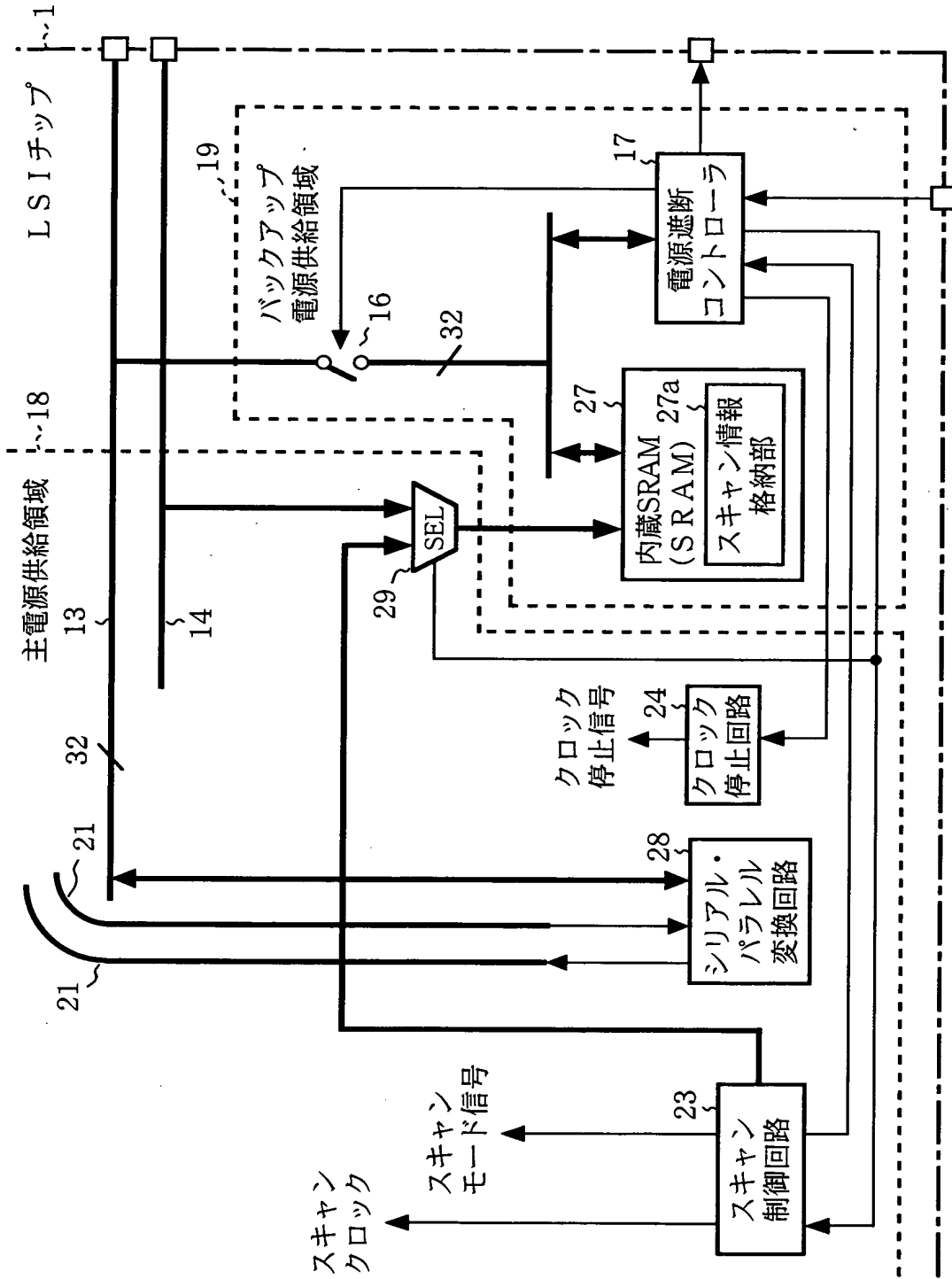
【図 1】



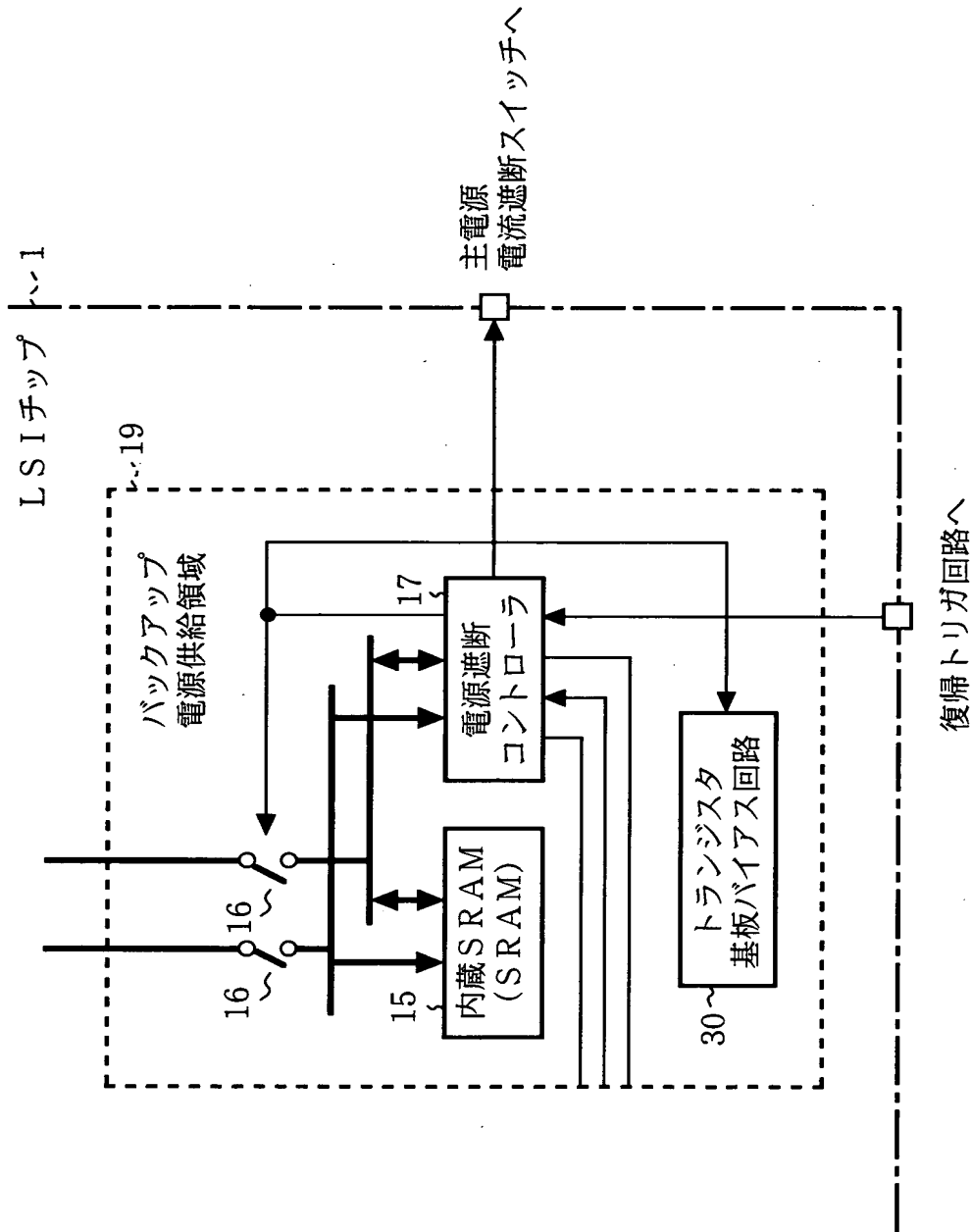
【図 2】



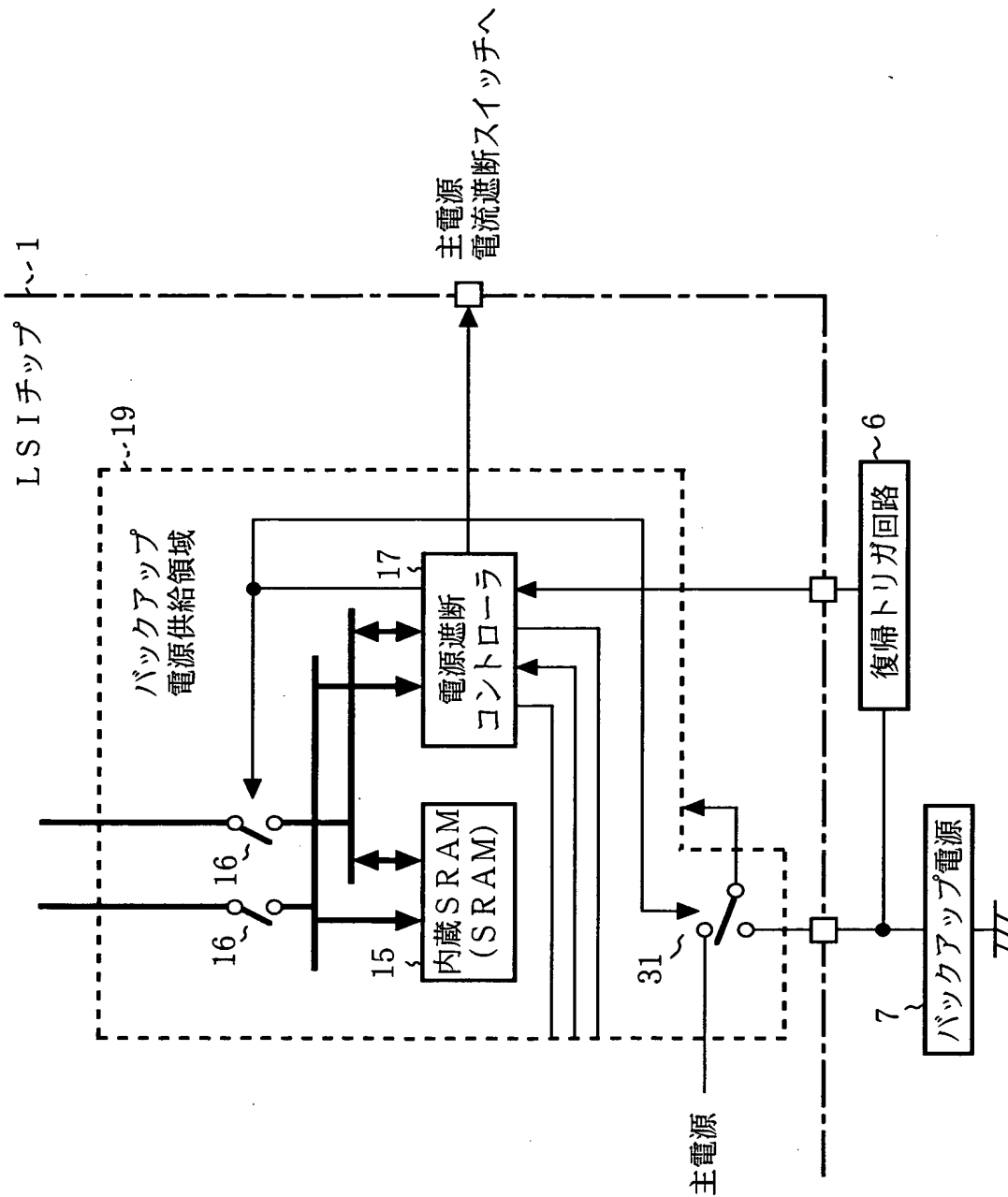
【図3】



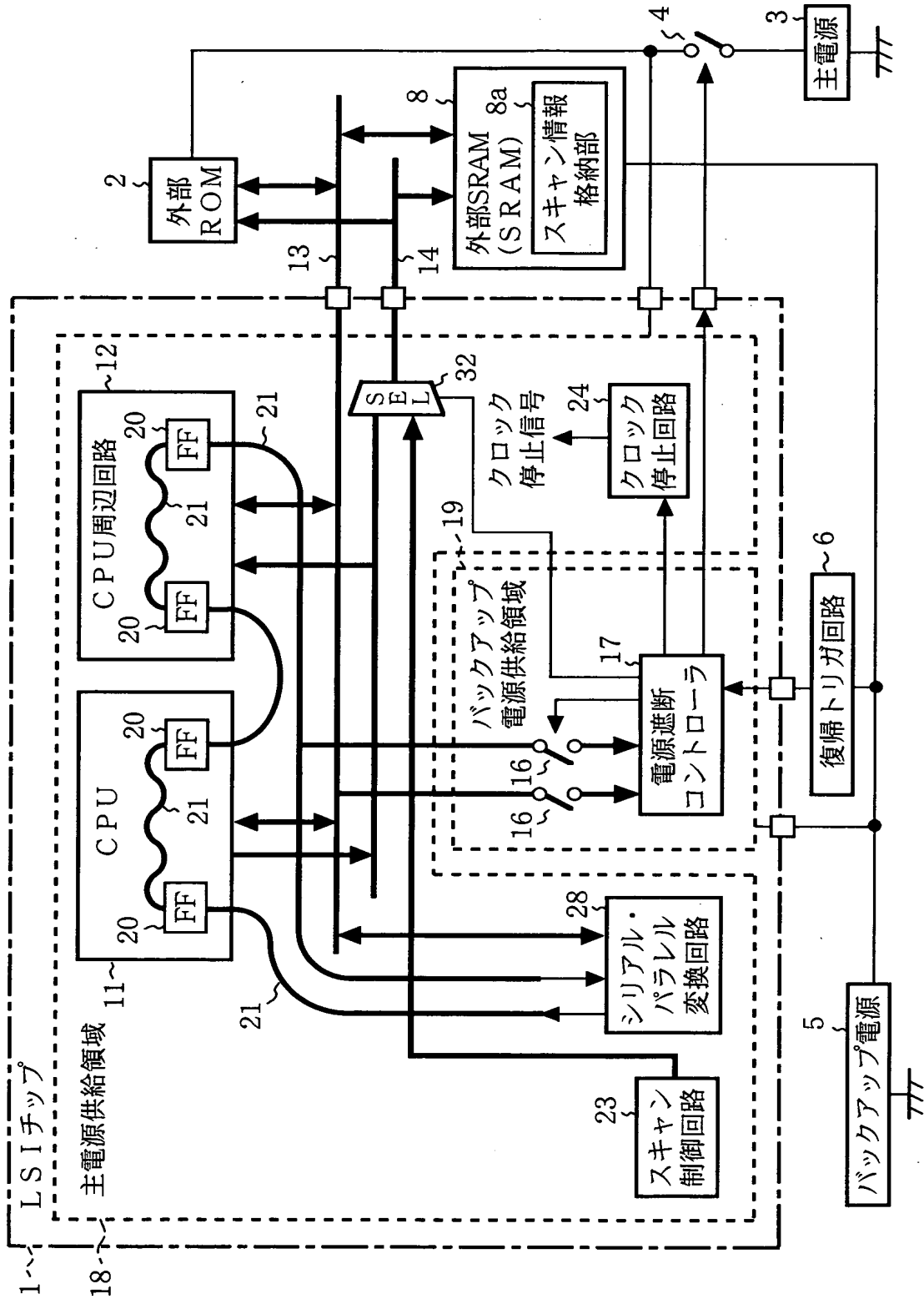
【図 4】



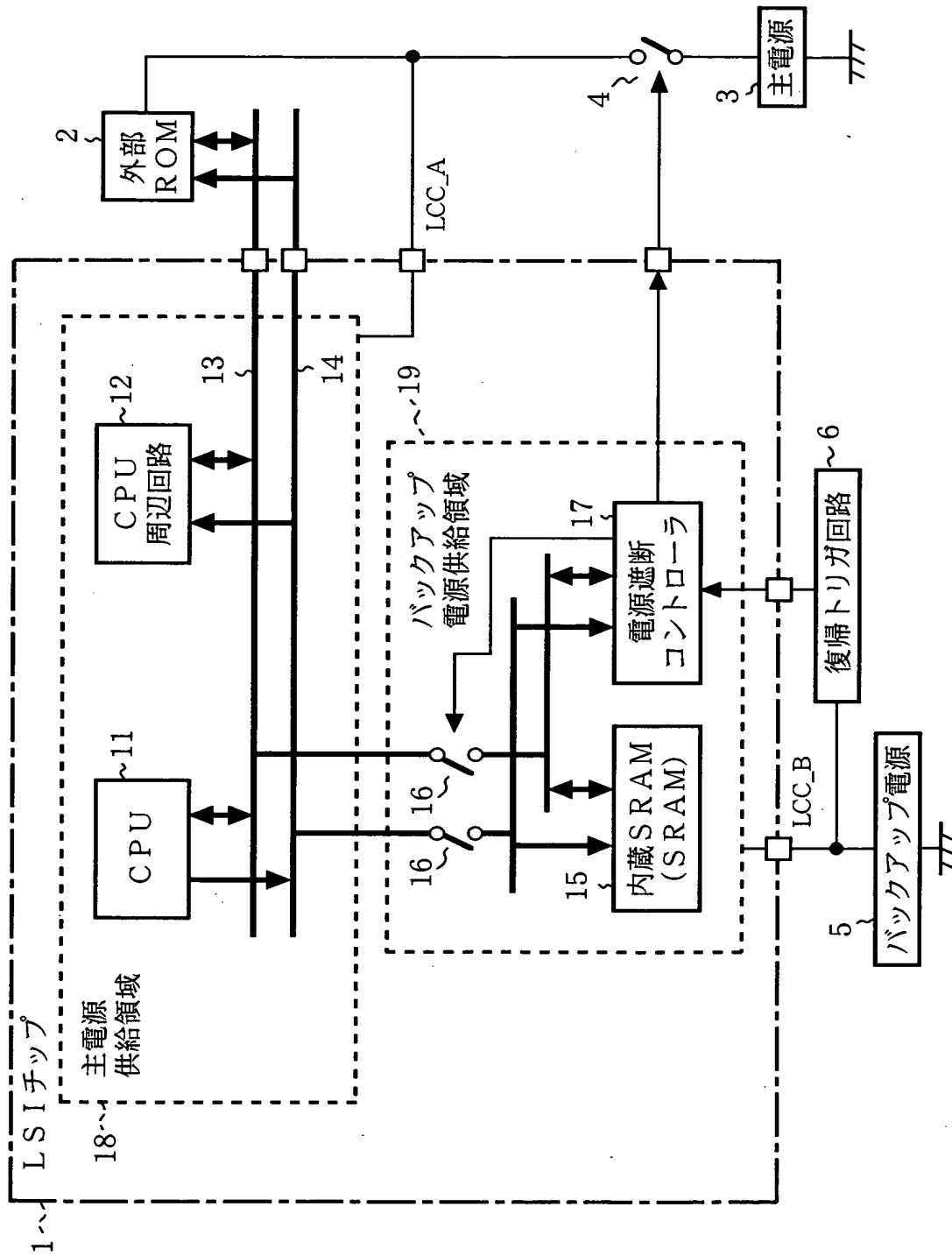
【図 5】



【図6】



【図 7】



【書類名】 要約書

【要約】

【課題】 CPUのアドレスにメモリマップされていない情報の待避が容易で、CPUで特別なスイッチング処理することなく、簡単なスイッチング処理で情報待避および復帰の処理が実現可能なLSIのリーク電流低減方法を得る。

【解決手段】 LSIチップ1を主電源供給領域18とバックアップ電源供給領域19とに二分し、スキャンパス21を設けて、それにより主電源供給領域上のCPU11やCPU周辺回路12などの各記憶素子20を接続し、動作待機状態になるとスキャンパスによるスキャン動作を開始して、主電源供給領域上の各回路の記憶素子内の情報を読み込み、それをバックアップ電源供給領域上のSRAM22に保存する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社